

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-220843

(43)Date of publication of application : 04.09.1989

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 63-046572

(71)Applicant : NEC CORP

(22)Date of filing : 29.02.1988

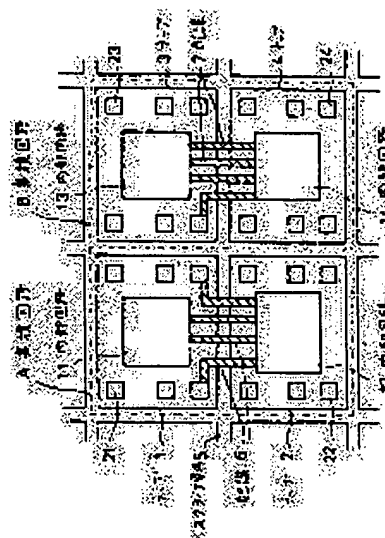
(72)Inventor : AYABE TOSHIJI

(54) MASTER SLICE INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To facilitate production and management, and obtain characteristics equivalent to an integrated circuit constituted in a single chip, by constituting an integrated circuit by mutually connecting a plurality of chips divided by a scribe region, by using wirings intersecting the scribe region.

CONSTITUTION: In a wafer, e.g., four chips 1W4 are formed, and each chip is formed by using the same or different internal circuits 11W14. On the peripheral part of each chip 1W4, each electrode pad 21W24 is formed. The chips 1, 2 are made a pair. The internal circuits 11 and 12 are mutually connected by wirings 6 intersecting a scribe region 5. Thus a desired integrated circuit A is formed. In the same manner, the chips 3, 4 are made a pair, the internal circuits 13, 14 are mutually connected by wirings 7 intersecting the scribe region 7, and a desired integrated circuit B is constituted. In this case, mutually different integrated circuits A and B are constituted by changing patterns of the wirings 6, 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-220843

⑬ Int. Cl.⁴

H 01 L 21/82
27/04

識別記号

庁内整理番号

7925-5F
A-7514-5F

⑭ 公開 平成1年(1989)9月4日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 マスタースライス集積回路

⑯ 特 願 昭63-46572

⑰ 出 願 昭63(1988)2月29日

⑱ 発 明 者 綾 部 利 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

マスタースライス集積回路

2. 特許請求の範囲

1. 同一の半導体ウェハに形成され、スクライブ領域によって区画された同一或いは異なる素子構成をした複数のチップを、前記スクライブ領域を横切る配線によって相互に接続し、これらの相互接続されたチップで1つの集積回路を構成したことを特徴とするマスタースライス集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は同一の半導体ウェハに形成される複数の個の集積回路チップで構成するマスタースライス集積回路に関する。

(従来の技術)

従来、一枚の半導体ウェハに形成した同一の素子構成を有する複数のチップに対して、配線パターンのみ変更した回路を構成することにより多品種の集積回路を構成するマスタースライス集積回

路が実用化されている。

例えば、第3図に示すように、一枚の半導体ウェハに、素子構成が同じ複数(4個)のチップ1~4を形成し、これらのチップに対して夫々同じ或いは異なる配線パターンを形成することにより回路構成が同じ或いは相違した、各種の集積回路F~Iを形成している。

(発明が解決しようとする課題)

上述した従来のマスタースライス集積回路では、各チップはスクライブ領域により規定されており、形成される集積回路はこのチップ単位の素子規模として構成される。このため、これ以上の素子規模の回路を構成する場合には、素子規模の大きな別のチップに形成するか、或いは回路構成を分割して複数の別個の集積回路として構成したものを一の基板に夫々搭載して配線接続する構成がとられている。

しかしながら、前者の構成では素子規模の異なるチップを複数種類用意する必要があり、生産及びその管理が面倒になるという問題がある。また、

後者の構成ではチップ相互を別の配線で接続するために、1チップで構成した回路と同等の特性を得ることが難しいという問題がある。

本発明は素子規模の異なる集積回路を一種類のチップで構成して、前記各問題を解消したマスタースライス集積回路を提供することを目的としている。

(課題を解決するための手段)

本発明のマスタースライス集積回路は、同一の半導体ウェハに形成され、スクライプ領域によって区画された同一或いは異なる素子構成をした複数個のチップを、スクライプ領域を横切る配線によって相互に接続し、これらの相互接続されたチップで1つの集積回路を構成している。

(作用)

上述した構成では、相互接続するチップ数を任意に設定することにより、大きな素子規模の集積回路や異なる素子規模の集積回路を1つの素子規模のチップで構成できる。

(実施例)

回路として構成できる。

したがって、この構成ではチップ1～4の素子規模が小さい場合でも、2つのチップを一組として構成することにより、集積回路A、Bのように2倍の素子規模を有する集積回路が構成できる。

第2図は本発明の第2実施例の概略平面図であり、第1図と同一部分には同一符号を付してある。

この実施例では、チップ1と2を一組とし、夫々の内部回路11、12をスクライプ領域5を横切る配線6によって相互に接続して集積回路Cを構成する。また、チップ3、4は夫々独立したチップとし、チップ内での配線(図示せず)により比較的規模の小さい集積回路D、Eを構成している。

この構成では、チップ2個で形成される集積回路と、チップ1個で形成される集積回路のように、素子規模の異なる集積回路を一枚のウェハに混在させることができる。

ここで、必要に応じて3個以上のチップをスクライプ領域を横切る配線によって接続して極めて

次に、本発明を図面を参照して説明する。

第1図は本発明の第1実施例の概略平面図である。ここでは一枚のウェハに形成した4つのチップ1～4を図示しており、各チップ1は夫々同一又は異なる内部回路11～14が形成され、かつ各チップ1～4の周辺部には夫々電極パッド21～24が形成されている。また、各チップ1～4はスクライプ領域5によって区画されている。

そして、ここではチップ1と2を夫々一組とし、内部回路11と12を前記スクライプ領域5を横切る配線6により相互に接続し、これらで所望の集積回路Aを構成している。同様にチップ3と4を一組とし、内部回路13と14を前記スクライプ領域5を横切る配線7により相互に接続し、所望の集積回路Bを構成している。この場合、配線7と8のパターンを変えることにより、夫々異なる集積回路A、Bが構成される。

しかる上で、後の工程においてスクライプ領域5を図示破線で示すように切断することにより、集積回路A、Bを独立したマスタースライス集積

大きな規模の集積回路を構成することも可能である。

(発明の効果)

以上説明したように本発明は、スクライプ領域によって区画された複数個のチップを、スクライプ領域を横切る配線によって相互に接続して1つの集積回路を構成するので、相互接続するチップ数を任意に設定することにより、大きな素子規模の集積回路や異なる素子規模の集積回路を1つの素子規模のチップで構成できる。また、同一のウェハに素子規模の異なる集積回路が構成できるので、規模の異なるチップを用意する必要はなく、生産及び管理を容易なものにできる。更に、複数のチップはウェハ上で配線して相互接続しているので、単一のチップで構成した集積回路と同等の特性が得られることは言うまでもない。

4. 図面の簡単な説明

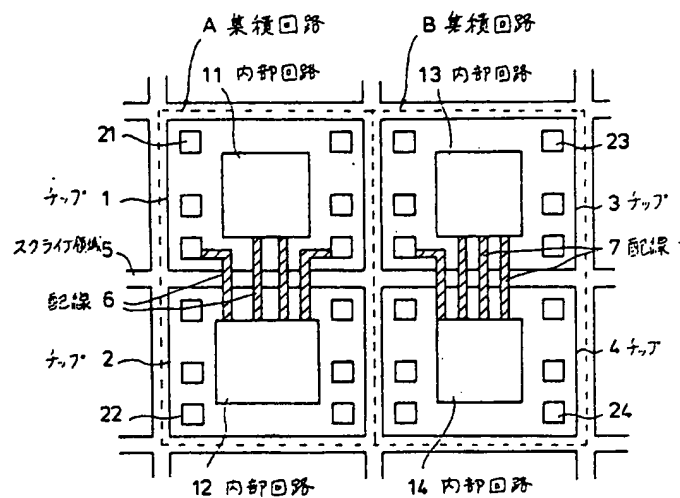
第1図は本発明の第1実施例の概略平面図、第2図は本発明の第2実施例の概略平面図、第3図は従来構成の概略平面図である。

1～4…チップ、5…スクライプ領域、6、7…スクライプ領域を横切る配線、11～14…内部回路、21～24…電極パッド、A～I…集積回路。

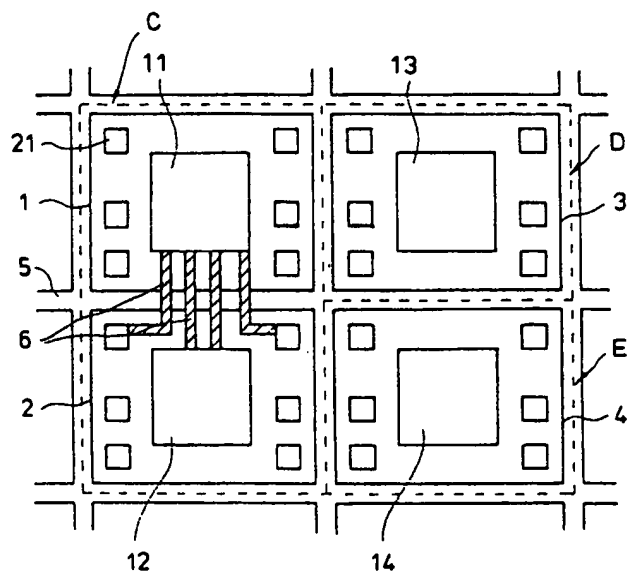
第 1 図

代理人 弁理士

鈴木 章



第 2 図



第 3 図

